

## کاهش توان یک ECG زیر میکرو وات با استفاده از تکنیک Bulk-driven CMOS با 350nm

رضا خوشنود

دانشجوی کارشناسی ارشد، مهندسی برق مدارهای مجتمع الکترونیک، دانشگاه آزاد اسلامی واحد بندرعباس

محمدهادی مزیدی شرف آبادی

استادیار گروه برق دانشگاه آزاد اسلامی واحد قشم

### چکیده

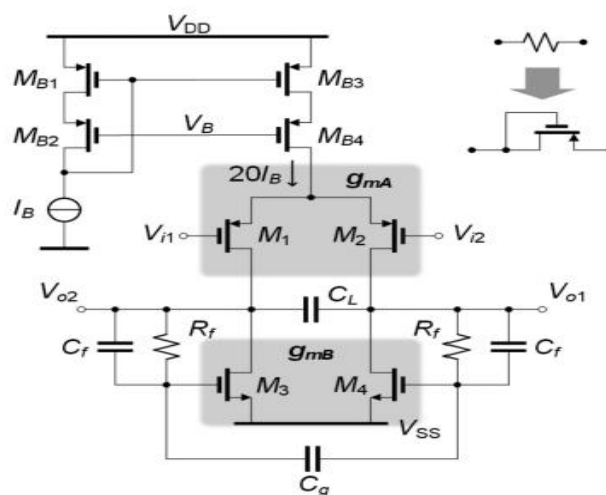
در این مقاله، که یک تقویت کننده ابزار دقیق مبتنی بر DDA می باشد، جهت اندازه گیری و مشاهده سیگنال های ECG کاربرد دارد. این تقویت کننده دارای ۱۰ ترانزیستور می باشد و شبیه سازی آن توسط نرم افزار HSpice و با تکنولوژی CMOS nm350 انجام شده است که ولتاژ منبع تغذیه ( $V_{DD}$ ) برابر ۲ ولت می باشد. مقاومت های به کار رفته توسط P-Mos ساخته شده است که بتوان بهره خروجی بهتری را در خروجی داشت. نتایج حاصل از شبیه سازی این مقاله با توجه به تکنیک bulk-driven استفاده شده نتایج تا حدودی بهتر را ارائه می کند. با علم به اینکه هر گاه عمل و نتیجه کاری دارای راندمان بیشتر و بهتری گردد ممکن است آیتم دیگری ممکن است کاهش یابد، نتایج بهره بهتر و جریان مصرفی کمتری را مشاهده می کنیم اما پهنای باند کاهش یافته است. نتایج حاصل از شبیه سازی توسط نرم افزار HSpice به صورت خلاصه شرح داده می شود. گین ولتاژ در حالت تفاضلی مقدار 49.173 dB می باشد و همچنین گین ولتاژ در حالت مشترک مقدار 90.403 dB- را دارد که به تبع آن نسبت حذف حالت مشترک (CMRR) برابر ۱۳۹.۵۷۶ به دست می آید و همچنین توان مصرفی این مدار نیز برابر 971 nW می باشد.

واژگان کلیدی: توان پایین، ECG، تقویت کننده، CMOS، ابزار دقیق

## مقدمه (فونت B Nazanin - اندازه ۱۲ - پررنگ)

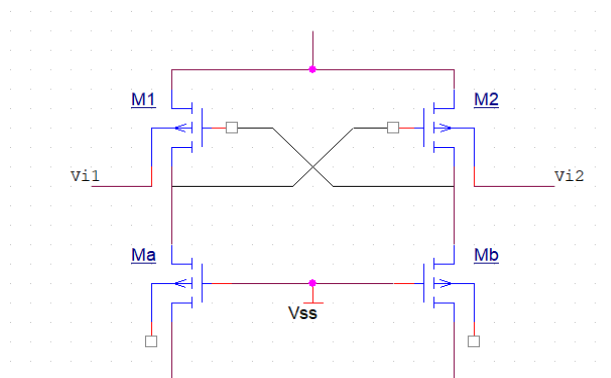
جدا از IAهای کلاسیک مبتنی بر opamp-۳ و جریان حمل کننده (Yazicioglu, 2007)، تقویت کننده تفاضل دیفرانسیل (Sackinger, 1987) یک بلوک ساختمانی مهم برای اجرای IA با  $Z_{in}$  و  $CMRR$  بالا برای ضبط ECG است (Ng, 2005) و (Zhao, 2019). طراحی (Ng, 2005) یک نمونه اولیه از ECG IA مبتنی بر DDA با  $CMRR$  و  $Z_{in}$  بالا را نشان داده است. با این حال، برای سرکوب افست dc، از مقاومت ها و خازن های بیرونی استفاده شده است. همچنین، برای افزایش  $CMRR$  و حذف نویز flicker، یک تکنیک chopping کردن مورد نیاز بود. با سوئیچ های chop،  $Z_{in}$  از IA تخریب شد زیرا خازن های parasitic و سوئیچ های ورودی با هم مقاومت های سوئیچ-خازن ورودی (SC) را تشکیل می دهند. یک اصل اولیه مشابه با تکنیک کاهش نویز با استفاده از یک مرحله ورودی DDA با مقادیر مختلف هدایت انتقالی در (Orregoni, 2018) برای کاربردهای ضبط عصبی ارائه شده است.  $CMRR$  IA به اندازه کافی بالا را بدون chopping کردن به دست می آورد. با اینحال، برای اعمال این طرح برای تشخیص ECG، یک خازن بزرگ خارج از تراشه نیز مورد نیاز است. اخیراً، ECG IA مبتنی بر DDA به شکل فشرده تر و کم مصرف تر با استفاده از اجزای روی تراشه توسعه یافته است (Zhao, 2019). با حرکت مستقیم ترانزیستورهای ورودی بدون قطع کردن کلیدها و اجازه دادن به ساختار مدار نامتقارن برای پیاده سازی یک مدار فشرده بازخورد حالت مشترک کم مصرف ( $Z_{in}$ ،  $CMRR$ ،  $CMFB$ ) و مصرف انرژی را به خطر انداخت. سپس منجر به یک ECG IA شد که کمتر از ۱ میکرووات بود.

در مقاله (خوشنود، مزیدی، ۱۴۰۲) به بررسی و مقایسه مقاله (Chutham, 2021) پرداخته شده است که نتایج آن دو مقاله قابل قبول بود. در مقاله (Chutham, 2021) از مدار شکل ۱ استفاده شده است که در آن ۱۰ ترانزیستور استفاده شده است که مقاومت های  $R_f$  نیز ۲ ترانزیستور p-MOS مورد استفاده قرار گرفته است که با اتصال درین آن



شکل ۱- مدار ECG اولیه

به گیت تبدیل به مقاومت های فعال شده اند. حال ما برای اینکه بخواهیم توان مصرفی کمتری را در این مدار داشته باشیم پیشنهاد ما این است که در بخش ورودی مدار شکل ۱ (بخش هاشورخورده بالا) تغییراتی را اعمال کنیم تا بتوانیم توان مصرفی را کاهش دهیم.



شکل ۲- مدار پیشنهادی جهت کاهش توان

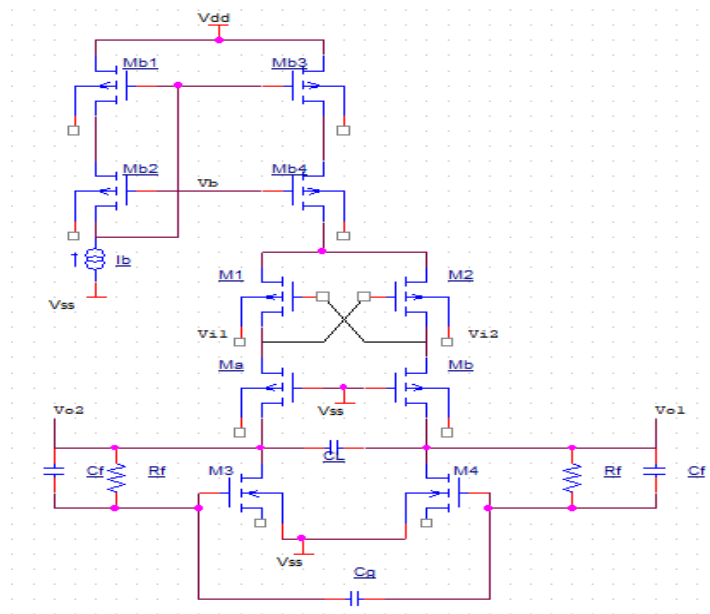
با عنایت به اینکه یکی از راه های کاهش توان استفاده از پایه Bulk ترانزیستور می باشد، مدار پیشنهادی ما جهت کاهش توان به صورت شکل ۲ می باشد.

### روش تحقیق

با استفاده از شکل ۲ و جایگزینی آن با بخش هاشور خورده بالایی در شکل ۱، ترانزیستورهای  $M_1$  و  $M_2$  را به صورت متقاطع به یکدیگر متصل می کنیم و ورودی های  $V_{i1}$  و  $V_{i2}$  را به جای اینکه به ترمینال گیت ترانزیستورها اعمال کنیم به ترمینال های بالک ترانزیستورهای  $M_1$  و  $M_2$  در ادامه آن جهت افزایش گین ولتاژ از ترانزیستورهای  $M_a$  و  $M_b$  استفاده کرده ایم. مدار کامل ECG پیشنهادی در شکل ۳ نمایش داده شده است. بر اساس شبیه سازی که توسط نرم افزار HSpice صورت گرفته است. نتایج برای شبیه سازی با توجه به نسبت های W/L ترانزیستورها و مقادیر سایر المان ها (شرایط بایاس) طبق جدول ۱ صورت پذیرفته است.

جدول ۱- ابعاد ترانزیستورها و شرایط بایاس

Mrf1 , Mrf2	M3 , M4	Ma , Mb	M1 , M2	Mb3 , Mb4	Mb1 , Mb2	ترانزیستور
1/4	160/20	30/4	450/4	60/1.8	3.6/1.8	نسبت W/L بر حسب میکرو متر
Cl= 10 pF	Cf= 0.35 pF	Cg=20 pF	Ib= 16nA	Vb= Vdd/2	Vss= 0	Vdd= 2 v

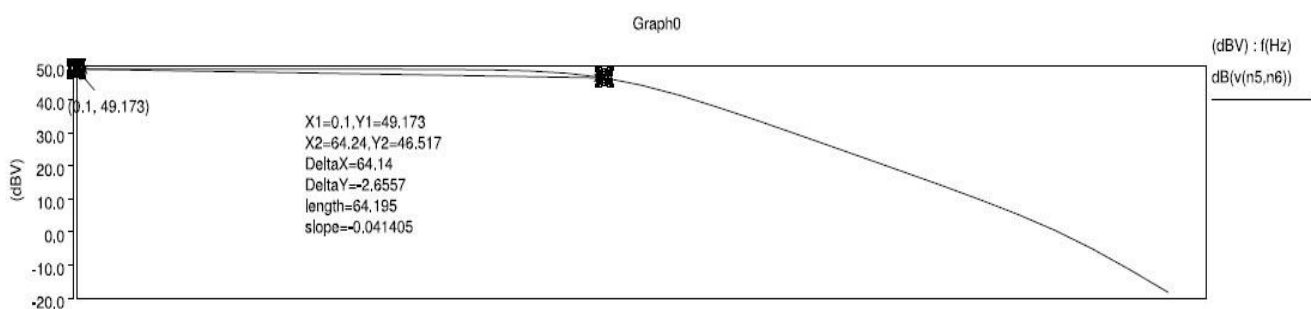


شکل ۳- مدار کامل ECG پیشنهادی

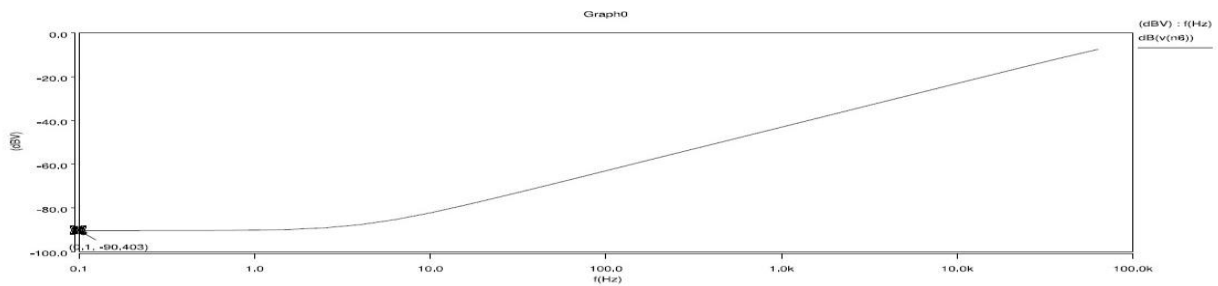
### بحث و نتیجه گیری (فونت B Nazanin - اندازه ۱۲ - پررنگ)

نتایج حاصل از شبیه سازی مدار شکل ۳ به صورت شکل ۴ تا ۶ می باشد که در شکل ۴ بهره حالت تفاضلی نمایش داده شده است که مقدار آن برابر 49.173 dB می باشد و همچنین بهره حالت مشترک در شکل ۵ نمایش داده شده است که مقدار آن برابر با -90.403 dB می باشد که حاصل CMRR از رابطه (۱) به دست می آید که مقداری برابر با 139.576 dB می باشد.

$$CMRR = A_d - A_c \quad (dB) \quad (1)$$

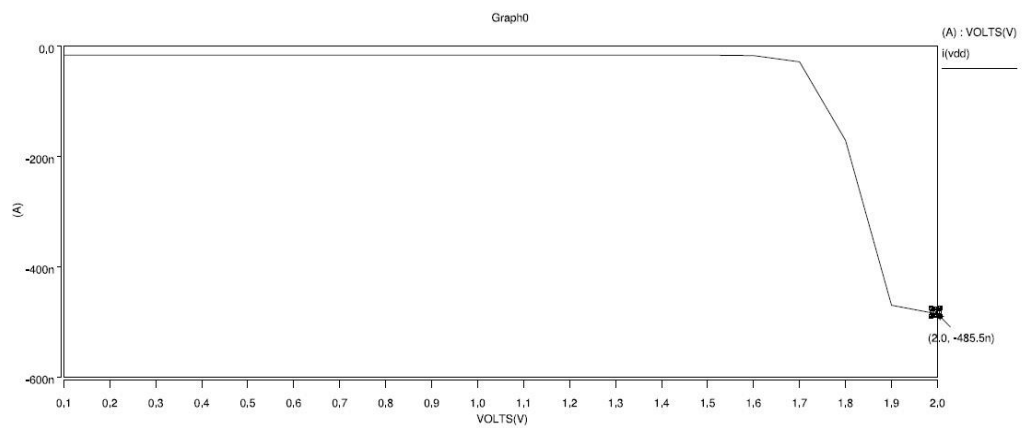


شکل ۴- بهره حالت تفاضلی



شکل ۵- بهره حالت مشترک

جریان خروجی مدار شکل ۳ که منحنی آن در شکل ۶ نمایش داده شده است برابر با  $485.5 \text{ nA}$  می باشد که با توجه به اینکه  $V_{DD} = 2 \text{ V}$  می باشد توان مصرفی مدار که حاصل ضرب ولتاژ در جریان می باشد برابر  $971 \text{ nW}$  می باشد که مقداری کمتر از یک میکرو وات می باشد.



شکل ۶- منحنی جریان خروجی

جدول ۲ مقایسه ای بین نتایج این مقاله و مقاله (خوشنود، مزیدی، ۱۴۰۲) می باشد که به وضوح مشخص است که برخی از پارامترهای مهم بهینه سازی شده اند.

جدول ۲- جدول نتیجه این مقاله و مقایسه با کار قبلی

این مقاله	(خوشنود، مزیدی، ۱۴۰۲)
تکنولوژی	350 nm
منبع تغذیه بر حسب ولت	2
بهره حالت مشترک بر حسب dB	90.403
بهره حالت تفاضلی بر حسب dB	49.173
CMRR	139.576
جریان مصرفی بر حسب nA	485.5
توان مصرفی بر حسب $\mu W$	0.971

## منابع

خوشنود، ر. مزیدی شرف آبادی، م. ۱۴۰۲ .. پنجمین کنفرانس بین المللی مهندسی برق، کامپیوتر، مکانیک و هوش مصنوعی.

R. F. Yazicioglu, P. Merken, R. Puers, and C. Van Hoof, "A 60 uW 60 nV/SqrHz readout front-end for portable biopotential acquisition systems," IEEE J. Solid-State Circuits, vol. 42, no. 5, pp. 1100–1110, May 2007.

E. Sackinger and W. Guggenbuhl, "A versatile building block: The CMOS differential difference amplifier," IEEE J. Solid-State Circuits, vol. 22, no. 2, pp. 287–294, Apr. 1987.

K. A. Ng and P. K. Chan, "A CMOS analog front-end IC for portable EEG/ECG monitoring applications," IEEE Trans. Circuits Syst. I: Regular Papers, vol. 52, no. 11, pp. 2335–2347, Nov. 2005.

Y. Zhao, Z. Shang, and Y. Lian, "A 2.55 NEF 76 dB CMRR DC-coupled fully differential difference amplifier based analog front end for wearable biomedical sensors," IEEE Trans. Biomed. Circuits Syst., vol. 13, no. 5, pp. 918–926, Oct. 2019.



J. Oreggioni, A. A. Caputi, and F. Silveira, “Current-Efficient preamplifier architecture for CMRR sensitive neural recording applications,” *IEEE Trans. Biomed. Circuits Syst.*, vol. 12, no. 3, pp. 689–699, Jun. 2018.

Sawigun, C., & Thanapitak, S. (2021). A Compact Sub- $\mu$ W CMOS ECG Amplifier with 57.5-M $\Omega$  Zin, 2.02 NEF, 8.16 PEF and 83.24-dB CMRR. *IEEE Transactions on Biomedical Circuits and Systems*, 15(3), 549-558. Article 9446646. <https://doi.org/10.1109/TBCAS.2021.3086182>



## Power reduction of a sub-microwatt ECG using bulk-driven technique with 350nm CMOS

Reza Khoshnood

Mohammad Hadi Mazidi

Electrical Engineering Department, Islamic Azad  
University Branch of Bandar abbas

Electrical Engineering Department, Islamic Azad  
University Branch of Qeshm

### 1-1-

#### Abstract - ۱-۲

In this paper, an instrumentation amplifier based on DDA is used to measure and observe ECG signals. This amplifier has 10 transistors and its simulation is done by HSpice software with 350nm CMOS technology, and the power supply voltage is equal to 2 volts. The resistors used by P-Mos are designed to have a better output gain at the output. The results of the simulation of this article provide somewhat better results due to the bulk-driven technique used. Knowing that whenever the action and work results become more and better, another item may be reduced, we see better profit results and less consumption flow, but the bandwidth is reduced. The results of the simulation by HSpice software are described in summary. The voltage gain in the differential mode is 49.173 dB, and the voltage gain in the common mode is -90.403 dB, as a result, the common mode rejection ratio (CMRR) is 139.576 and the power consumption of this circuit is 971 nW. is.

**Keywords:** Low Power, ECG, Amplifier, Cmos, Instrumentation. - ۱-۳